Міністерство освіти і науки України

Національний технічний університет України

«Київський політехнічний інститут»

Факультет інформатики та обчислювальної техніки

Кафедра ОТ

**Модульна контрольна робота**

з дисципліни:

«Архітектура комп’ютера»

Виконав:

Студент 2-го курсу групи ІП-53

Спеціальності: Програмна інженерія

Сулима Олександр Сергійович

Залікова книжка: № 5318

Перевірив:

доцент Клименко Ірина Анатоліївна

\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

(підпис) (вчене звання, науковий ступінь,прізвище та ініціали)

\_\_\_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

(підпис) (вчене звання, науковий ступінь,прізвище та ініціали)

Київ – 2016

Зміст

[1 Визначення варіанту завдання 3](#_Toc463781302)

[2 Розробка операційної схеми 4](#_Toc463781303)

[3 Розробка функціонального мікроалгоритму 5](#_Toc463781304)

[4 Логічне моделювання 6](#_Toc463781305)

[5 Управляючі сигнали 7](#_Toc463781306)

[6 Функціональна схема операційного пристрою 8](#_Toc463781307)

[7 Синтез управляючого автомата 9](#_Toc463781308)

# Визначення варіанту завдання

Запишу номер залікової книги в двійковому коді:

531810 = 10100111000102

Тобто а6 = 1, а5 = 0, а4 = 0, а3 = 0, а2 = 1, а1 = 0.

Визначу особисте завдання:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| а6 | а5 | а4 | Спосіб множення | Розрядність операндів |
| 1 | 0 | 0 | 1 | 4 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| а6 | a3 | a2 | Значення операндів | |
| 1 | 0 | 1 | 29h | 15h |

|  |  |  |
| --- | --- | --- |
| a3 | a2 | Тип тригера |
| 1 | 1 | T |

|  |  |
| --- | --- |
| а1 | Тип автомата |
| 0 | Мили |

# Розробка операційної схеми

Операційна схема, що реалізує перший спосіб множення подана на рисунку 1, де RG1 – регістр накопичення суми часткових добутків,   
RG2 – регістр множеного, RG3 – регістр множника, TC – тригер переносу, SM – комбінаційний суматор. Регістри RG2, RG3 реалізують мікрооперації зсуву, в RG2 формується ознаку нуля – що визначає закінчення обчислення добутку. За нульовим вмістом регістру RG4 результат обчислення формується в регістрах RG1.

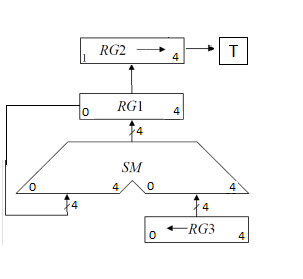


Рисунок 1 – Операційна схема першого способу множення

# Розробка функціонального мікроалгоритму

Для розробки операційної схеми побудую функціональний мікроалгоритм. Припустимо, що операційна схема входить до складу АЛП із централізованим управлінням. Отже, робота цього блоку розпочинається із надходження сигналу «Пуск» від центрального блоку управління. Функціональний мікроалгоритм зображений на рисунку 2, де Х – значення старшого розряду регістру RG4(8), STOP – ознака нуля в лічильнику циклів RG5.

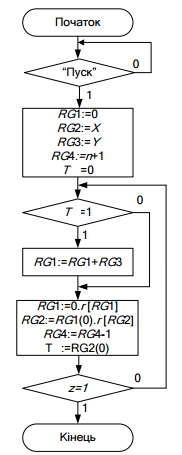


Рисунок 1- Функціональний мікроалгоритм

# Логічне моделювання

Логічне моделювання покрокової роботи операційної схеми приведено в таблиці 1.

Значення операндів:

Х = 29h = 4110

Y = 15h = 2110

Z = 35Dh = 86110

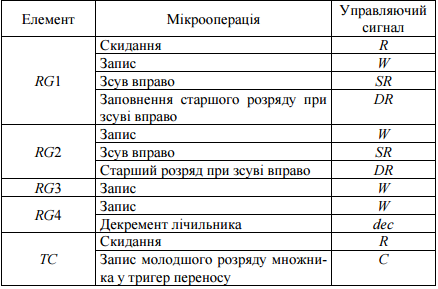
Таблиця 1. Логічне моделювання роботи операційної схеми

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| № такту | RG1 | RG2 | RG3 | TC | STOP | MO |
| ПС | 00h | 29h | 0015h | 0 | 0 | Початковий стан |
| 1 | 15h | 14h | 2Ah | 0 | 0 | RG1:=RG3,  RG2→, RG3←; STOP = 0 |
| 2 | 15h | 0Ah | 54h | 0 | 0 | RG2→, RG3←; STOP = 0 |
| 3 | 15h | 05h | A8h | 0 | 0 | RG2→, RG3←; STOP = 0 |
| 4 | 15h  +  A8h  BDh | 02h | 150h | 0 | 0 | RG1:=RG3,  RG2→, RG3←; STOP = 0 |
| 5 | BDh | 01h | 2A0h | 0 | 0 | RG2→, RG3←; STOP = 0 |
| 6 | 35Dh | 00h | 540h | 0 | 1 | RG1:=RG3,  RG2→, RG3←; STOP = 1 |

# Управляючі сигнали

Перелік управляючих сигналів наведений в таблиці 2.

Таблиця 2 – Управляючі сигнали



# Функціональна схема операційного пристрою

Функціональна схема операційного пристрою наведена на рисунку 3.

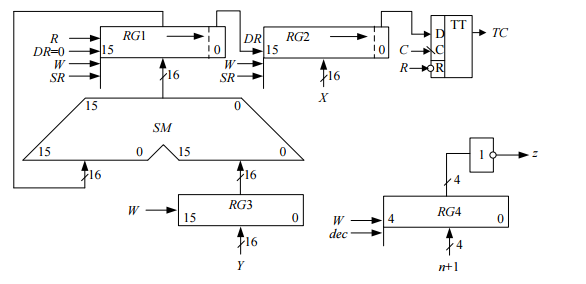


Рисунок 3 – Функціональна схема

# Синтез управляючого автомата

Побудую функціонально-структурний мікроалгоритм та проведу його розмітку (рисунок 4).

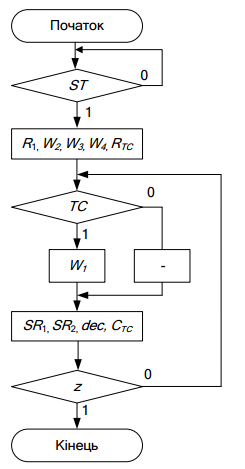


Рисунок 4 – Функціонально-структурний мікроалгоритм

На основі ГСА побудую граф автомата (рисунок 5).

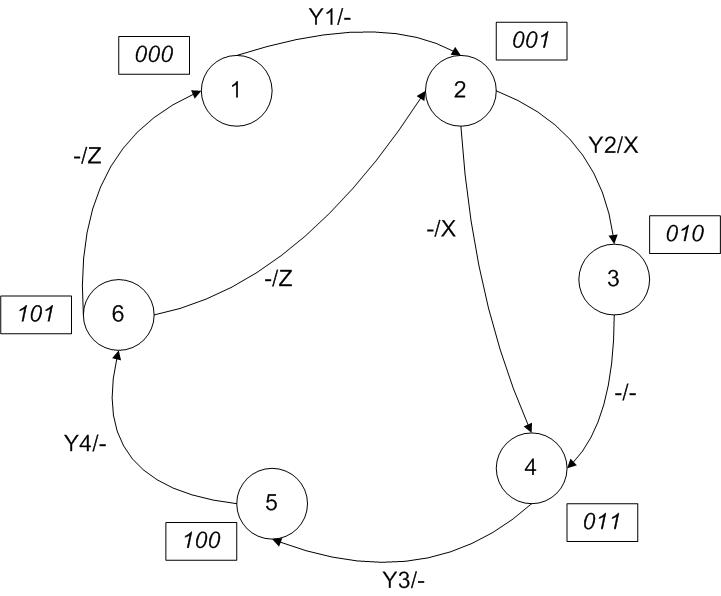
****

Рисунок 5 – Граф автомату

На основі графу автомата побудую структурну таблицю графа автомата (таблиця 3).

Таблиця 3 – Структурна схема автомата

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| ***Q3Q2Q1(t)*** | ***Q3Q2Q1(t+1)*** | ***XZ*** | ***Y4Y3Y2Y1*** | ***T3*** | ***T2*** | ***T1*** |
| 000 | 001 | -- | 0001 | 0 | 0 | 1 |
| 001 | 010 | 1- | 0010 | 0 | 1 | 1 |
| 010 | 011 | -- | 0000 | 0 | 0 | 1 |
| 011 | 100 | -- | 0100 | 1 | 1 | 1 |
| 100 | 101 | -- | 1000 | 0 | 0 | 1 |
| 101 | 000 | -1 | 0000 | 1 | 0 | 1 |
| 101 | 001 | -0 | 0000 | 1 | 0 | 0 |
| 001 | 011 | 0- | 0000 | 0 | 1 | 0 |

На основі структурної таблиці автомату визначу МДНФ функції керуючих сигналів та функції збудження тригерів. Мінімізацію виконаю за допомогою діаграм Вейча (рисунок 6).

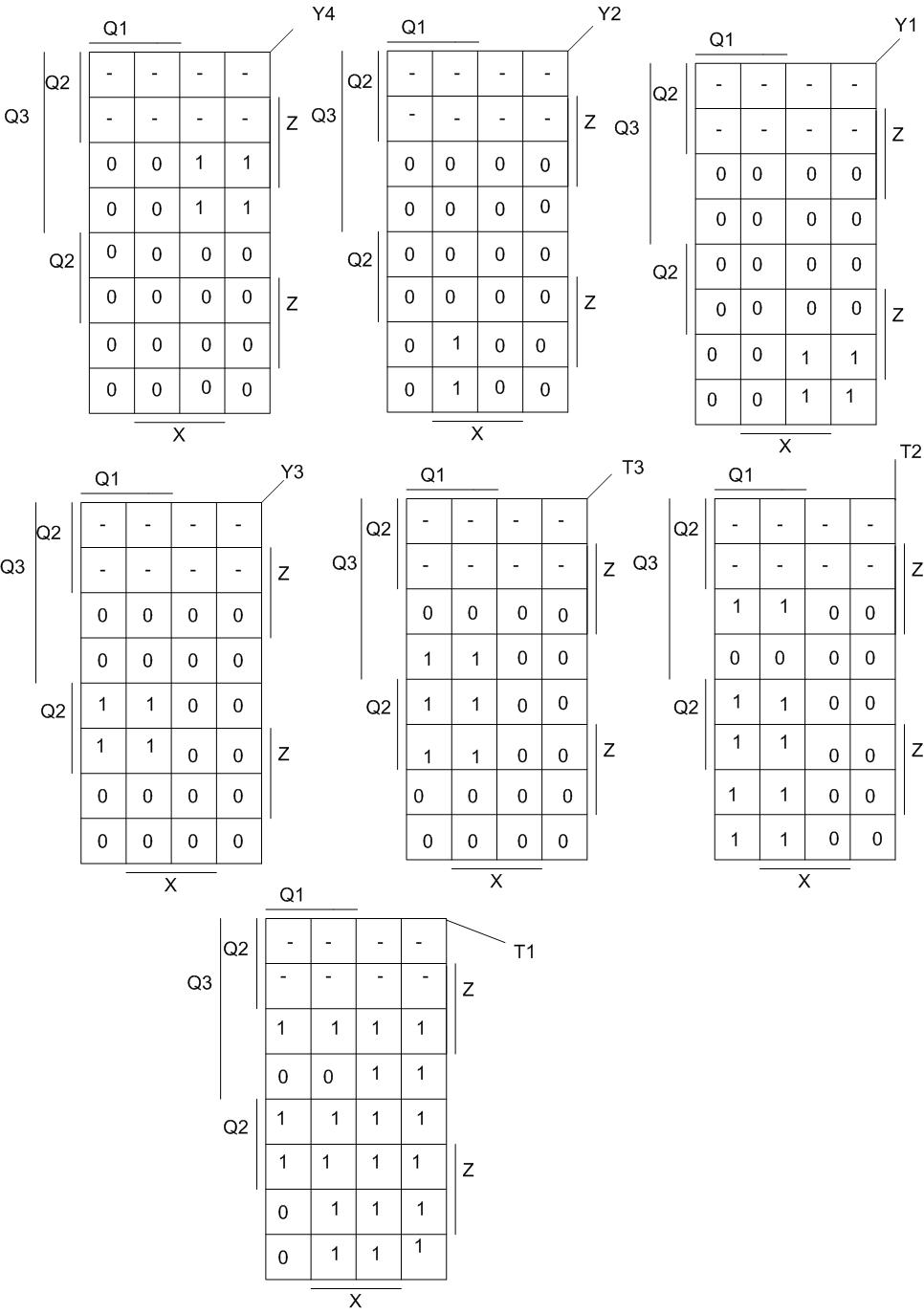


Рисунок 6 – Діаграми Вейча (мінімізація функцій збудження тригерів)

**Додаток А - роздруківка схеми із моделюючої програми AFDK**

